

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11332089 A**

(43) Date of publication of application: **30.11.99**

(51) Int. Cl.  
**H02H 7/20**  
**H01L 27/04**  
**H01L 21/822**  
**H01L 29/78**  
**H02H 9/04**

(21) Application number: **10133886**

(22) Date of filing: **15.05.98**

(71) Applicant: **ASAHI KASEI MICRO SYST CO LTD**

(72) Inventor: **SUGIMOTO TETSUO**

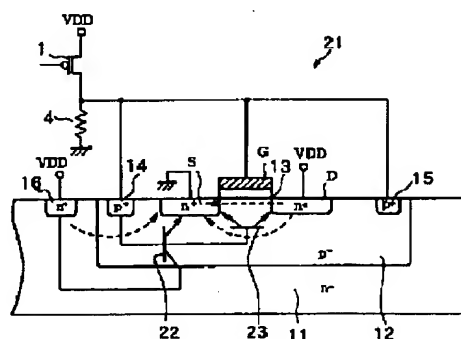
**(54) OVERVOLTAGE PROTECTIVE CIRCUIT**

COPYRIGHT: (C)1999,JPO

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide an overvoltage protective circuit which enables effective use of an integrating area and the like, and which is simple in structure and can protect a protected circuit from sharp changes in voltage, such as surge voltage.

**SOLUTION:** A MOSFET 21 is formed letting go of surge current, when the supply voltage sharply changes due to surge. In this MOSFET 21, a p-type well 12 is connected to a gate electrode G. Through such an external connection, a MOSFET constituted of a drain D, the p-type well 12, and the source S is formed as it should be in the MOSFET 21. In addition to this transistor, a vertical npn-type transistor 22 constituted of an n-type substrate 11, the p-type well 12, and the source S which is an n-type and an npn-type transistor 23 constituted of the drain D which is an n-type region, the p-type well 12, and the source S which is an n-type region are also formed. As a result, a surge current can be bypassed by means of the transistors 22, 23.



(51) IntCl.<sup>6</sup>

識別記号

F I

H 0 2 H 7/20

H 0 2 H 7/20

F

H 0 1 L 27/04

9/04

B

21/822

H 0 1 L 27/04

H

29/78

29/78

3 0 1 K

H 0 2 H 9/04

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平10-133886

(22) 出願日

平成10年(1998)5月15日

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都渋谷区代々木1丁目24番10号

(72) 発明者 杉本 哲郎

神奈川県厚木市岡田3050番地 旭化成マイクロシステム株式会社内

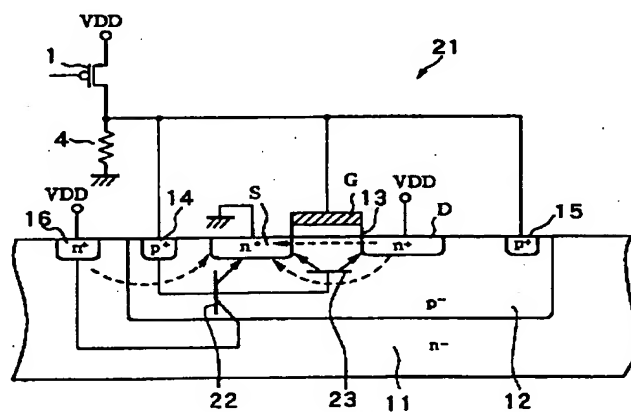
(74) 代理人 弁理士 森 哲也 (外3名)

(54) 【発明の名称】 過電圧の保護回路

(57) 【要約】

【課題】 集積エリアの有効利用等が行え、簡易な構成でサージ電圧等の急激な電圧変化から被保護回路を保護する過電圧の保護回路の提供。

【解決手段】 MOSFET 21は、サージにより電源電圧が急激に変化する場合に、サージ電流を逃がすものである。このMOSFET 21は、p型ウェル12をゲート電極Gに接続させている。このような外部接続により、MOSFET 21内には、ドレインD、p型ウェル12、およびソースSからなる本来のMOSFETが形成される他に、n型の基板11、p型ウェル12、およびn型領域のソースSによって縦型からなるnpn型のトランジスタ22が形成され、n型領域のドレインD、p型ウェル12、およびn型領域のソースSによってnpn型のトランジスタ23が形成される。これにより、上記のサージ電流をトランジスタ22、23でバイパスできる。



1

## 【特許請求の範囲】

【請求項1】 供給された直流電圧に電圧変化が生じたときに、その電圧変化による電荷を集積回路化されたMOSFETにより逃がすようにした過電圧の保護回路において、

前記MOSFETは、ゲート電極とボディ部とを電氣的に接続することを特徴とする過電圧の保護回路。

【請求項2】 前記MOSFETは、前記ゲート電極を少なくとも2つ設け、この各ゲート電極に供給される電圧により電流制御できるように、前記ボディ部内には前記各ゲート電極に関連してドレイン領域とソース領域とをそれぞれ形成することを特徴とする請求項1に記載の過電圧の保護回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、安定化電源の出力回路や半導体集積回路の電源部などに並列に接続され、サージなどに起因して電源電圧が急激に上昇したときに、この急激な電圧による電荷を逃がすようにした過電圧の保護回路に関する。

【0002】

【従来の技術】従来、この種の保護回路としては、図7に示すようなものが知られている。この保護回路は、図7に示すように、MOSFET1のソースが電源端子2に接続され、この電源端子2には直流電圧VDDが供給されている。MOSFET1のドレインは、抵抗4を介して接地端子3に接続されている。

【0003】電源端子2と接地端子3との間には、抵抗5とコンデンサ6とが直列に接続され、その両者の共通接続点がMOSFET1のゲートに接続されている。さらに、電源端子2と接地端子3との間にはMOSFET7が接続され、MOSFET7のゲートはMOSFET1のドレインに接続されている。

【0004】次に、MOSFET7の内部構造について、図8を参照して説明する。MOSFET7は、図8に示すように、n型シリコン半導体からなる基板11内の上部側にp型ウェル12が形成され、このp型ウェル12の上面の中央には所定形状の絶縁膜13が形成され、この絶縁膜13の上面にゲート電極Gが取付けられている。p型ウェル12内の上面側の左右の位置には、n型領域からなるソースSとドレインDとが形成されている。ドレインDには直流電圧VDDが供給され、ソースSは接地されている。p型ウェル12内の上面側の一部には、p型領域からなる接続部14が設けられ、p型ウェル12がこの接続部14を介してソースSに接続されている。また、基板11の上面側の一部に接続部16が設けられ、この接続部16には直流電圧VDDが供給されている。

【0005】次に、このような構成からなる保護回路の動作について説明する。まず、通常時の場合、すなわち

2

電源端子2と接地端子3との間に印加される電源電圧が変動しない場合には、MOSFET1は非導通状態である。このため、MOSFET7のゲートは0ボルトとなるので、MOSFET7は非導通状態となる。

【0006】一方、ESDサージなどが発生して電源電圧が急激に上昇する場合には、抵抗5の抵抗値とコンデンサ6の静電容量により定まる時定数により、MOSFET1のゲート電圧がソース電圧より低くなり、MOSFET1が導通状態になる。このMOSFET1の導通によりMOSFET7のゲートとソース間に電圧が発生するので、MOSFET7は導通状態になり、そのサージによる電荷が接地点に逃がされる。

【0007】このとき、MOSFET7の内部におけるサージ電流は、図8に示すように、ドレインDからソースSに向けてゲート電極Gの真下のp型ウェル12の表面だけを流れることとなる。

【0008】

【発明が解決しようとする課題】このため、サージ電圧が大きな場合には、W/L比（ゲート幅、ゲート長の比率）の十分に大きなものを使用しなくてはMOSFET7を破損してしまう懸念がある。このため、そのMOSFETを製造する際には、MOSFETを構成する半導体集積回路中のW/L比を十分に大きく設定し、占有エリアを十分に大きく設定する必要がある。

【0009】そこで、本発明の目的は、集積エリアの有効利用等が図れ、かつ、簡易な構成でサージ電圧等の急激な電圧変化から被保護回路を保護するようにした過電圧の保護回路を提供することにある。

【0010】

【課題を解決するための手段】上記の課題を解決し、本発明の目的を達成するために、請求項1に記載の発明は、供給された直流電圧に電圧変化が生じたときに、その電圧変化による電荷を集積回路化されたMOSFETにより逃がすようにした過電圧の保護回路において、前記MOSFETは、ゲート電極とボディ部とを電氣的に接続するようにした。

【0011】請求項2に記載の発明は、請求項1に記載の過電圧の保護回路において、前記MOSFETは、前記ゲート電極を少なくとも2つ設け、この各ゲート電極に供給される電圧により電流制御できるように、前記ボディ部内には前記各ゲート電極に関連してドレイン領域とソース領域とをそれぞれ形成するようにした。

【0012】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しつつ説明する。図1は、本発明の第1実施形態の保護回路の回路図である。図2は、図1に示すMOSFET9の内部構造を示す断面図である。

【0013】第1実施形態は、図7に示すMOSFET7に代えて、図1に示すように、電源端子2と接地端子

50

3

3の間に、MOSFET 21を接続するようにし、このMOSFET 21は、図1および図2に示すように、自己のゲート電極Gとp型ウエル12とを電気的に外部で接続するようにしたものである。すなわち、従来は、図8に示すように、p型ウエル12はソースSに接続され、このソースSを接地させていたが、この第1実施形態では、図2に示すように、p型ウエル12を接続部14、15を介してゲート電極Gに接続させ、このゲート電極GをMOSFET 1のドレインに接続させるようにした。なお、p型ウエル12のように基板11に形成させたウエルは、請求項1に記載の発明のボディ部に相当するものである。

【0014】このような外部接続を行うことにより、MOSFET 21内には、図2に示すように、ドレインD、p型ウエル12、およびソースSによって形成された本来のMOSFETの他に、n型の基板11、p型ウエル12、およびn型領域のソースSによって縦型からなるnpn型のトランジスタ22が形成されるとともに、n型領域のドレインD、p型ウエル12、およびn型領域のソースSによってnpn型のトランジスタ23が形成される。

【0015】従って、このような構成からなるMOSFET 21は、本来のMOSFET 21に対し、トランジスタ22およびトランジスタ23が並列に接続されたものと等価になり、この点を考慮した図1の等価回路は図3に示すようになる。なお、トランジスタ23の表記が一般的でないのは、ドレインD側の領域の不純物の濃度と、ソースS側の不純物の濃度が同じため、形成されるトランジスタのエミッタあるいはコレクタが特定できないからである。

【0016】第1実施形態の他の部分の構成は、図7の保護回路と同様であるので、同一部分には同一符号を付してその説明は省略する。ただし、図1に示す各素子の値は、例えば、抵抗4は1K $\Omega$ 、抵抗5は20K $\Omega$ 、コンデンサ6は2pFとする。また、抵抗4は可変できるようにしても良い。

【0017】次に、このような構成からなる第1実施形態の動作について、図1～図3を参照して説明する。まず、通常時の場合には、MOSFET 1は非導通状態のため、トランジスタ22、23、およびMOSFET 21は、いずれも非導通状態となる。

【0018】一方、ESDサージなどが発生して電源電圧が急激に上昇する場合には、抵抗5の抵抗値とコンデンサ6の静電容量により定まる時定数により、MOSFET 1のゲート電圧がソース電圧より低くなり、MOSFET 1が導通状態になる。このMOSFET 1の導通により、トランジスタ22、23の各ベースにはベース電流が流れるとともに、MOSFET 21のゲートとソース間に電圧が発生する。このため、トランジスタ22、23、およびMOSFET 21は、いずれも導通状

4

態となるので、そのサージ電流は、MOSFET 21の他に、トランジスタ22、23によりバイパスされて、接地点に逃がされる。

【0019】さらに、そのサージ電流の流路は、図2に示すように、p型ウエル12の表面側に面的に形成される本来のもののみならず、トランジスタ22、23によって、p型ウエル12の内部や基板11の内部に3次的に形成される。このため、サージ電流を十分に流すことができる。

【0020】以上説明したように、この第1実施形態では、電源端子2と接地端子3の間に、MOSFET 21を接続するようにし、このMOSFET 21は、自己のゲート電極Gとp型ウエル12とを電気的に外部で接続することにより、MOSFET 21内にトランジスタ22、23が形成されるようにした。このため、簡易な構成により、サージ電流をバイパスする経路が確保でき、これによりMOSFET 21のサイズを小さくしたり、または十分にサージ電流を流すことができる保護回路を実現できる。

【0021】次に、本発明の第2実施形態について、図4及び図5を参照して説明する。第1実施形態では、MOSFET 21は、図2に示すようにゲート電極Gを1つから構成したが、この第2実施形態では、図4および図5に示すように、2つのゲート電極G1、G2を設けたMOSFET 31とした。

【0022】すなわち、この第2実施形態にかかるMOSFET 31は、図4および図5に示すように、p型ウエル12の上面に、絶縁膜13、13を介して2つのゲート電極G1、G2を所定間隔をおいて並行に設け、そのゲート電極G1、G2の端部同士を接続するようにした。そして、p型ウエル12内の上面側の中央には、2つのゲート電極G1、G2に共通のn型領域からなるドレインDを形成するとともに、その左右（外側）には、n型領域からなるソースS1、S2を形成するようにした。さらに、p型ウエル12は接続部14、15を介してゲート電極G1、2に接続させ、このゲート電極G1、G2をMOSFET 1のドレインに接続させるようにした。

【0023】このような構成からなる第2実施形態では、MOSFET 31内に、図4に示すように、ドレインD、p型ウエル12、およびソースS1により、かつ、ドレインD、p型ウエル12、およびソースS2によって本来のMOSFETが構成される。さらに、その本来のMOSFETの他に、n型の基板11、p型ウエル12、およびn型領域のソースS1によって縦型からなるnpn型のトランジスタ32が形成されるとともに、n型の基板11、p型ウエル12、およびn型領域のソースS2によって縦型からなるnpn型のトランジスタ33が形成され、かつ、n型領域のドレインD、p型ウエル12、およびn型領域のソースS1によって横

5

型からなるnpn型のトランジスタ34が形成されるとともに、n型領域のドレインD、p型ウェル12、およびn型領域のソースS2によって横型からなるnpn型のトランジスタ35が形成される。

【0024】このため、第2実施形態では、サージ電流のバイパス容量を十分に確保できるので、第1実施形態に比べてさらに十分なサージ電流を流すことができる。次に、本発明の第3実施形態について、図6を参照して説明する。

【0025】第1実施形態では、図1に示すように、電源電圧が急激に上昇した場合に、MOSFET21を導通状態にさせる回路として、MOSFET1などで構成したが、第3実施形態は、図6に示すように、その回路をコンデンサ41と抵抗42の回路に置き換えたものである。

【0026】すなわち、図6に示すように、コンデンサ41の一端を電源端子2に接続するとともに、コンデンサ41の他端をMOSFET21のゲートに接続させている。さらに、抵抗42の一端をMOSFET21のゲートに接続させ、抵抗42の他端を接地するようにした。

【0027】このように第3実施形態は構成するので、第1実施形態に比較して極めて簡易な構成となる。

【0028】

【発明の効果】以上説明したように、請求項1に係る発明では、MOSFETが、自己のゲート電極とボディとを電気的に接続するように、サージ電流のバイパス経路が形成されるようにしたので、集積エリアの有効利用等が図れ、かつ、簡易な構成でサージ電圧等の急激な電圧変化から被保護回路を保護することができる。

【0029】請求項2に係る発明では、請求項1の発明\*

6

\*において、MOSFETを、ゲート電極を少なくとも2つ設け、この各ゲート電極に供給される電圧により電流制御できるように、ボディ内には各ゲート電極に関連してドレイン領域とソース領域とをそれぞれ形成するようにしたので、サージ電流を流すバイパス経路の容量を十分に確保できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の構成を示す回路図である。

【図2】図1に示すMOSFET21の内部構造を示す断面図である。

【図3】図1に示す回路の等価回路である。

【図4】本発明の第2実施形態の要部の内部構造を示す断面図である。

【図5】図4の構造の平面図である。

【図6】本発明の第3実施形態の構成を示す回路図である。

【図7】従来装置の構成を示す回路図である。

【図8】図7に示すMOSFET7の内部構造を示す断面図である。

【符号の説明】

D ドレイン

G ゲート電極

S ソース

1、21、31 MOSFET

2 電源端子

3 接地端子

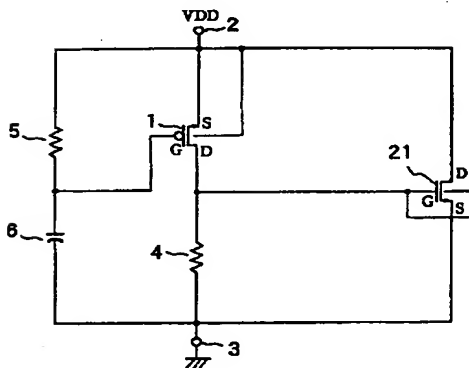
4、5、42 抵抗

6、41 コンデンサ

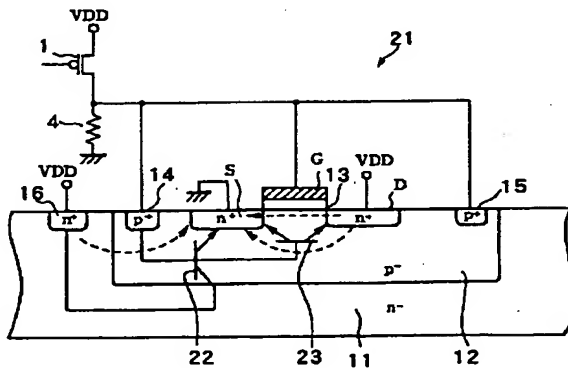
12 p型ウェル (ボディ部)

22、23 トランジスタ

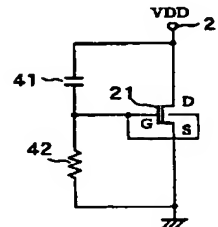
【図1】



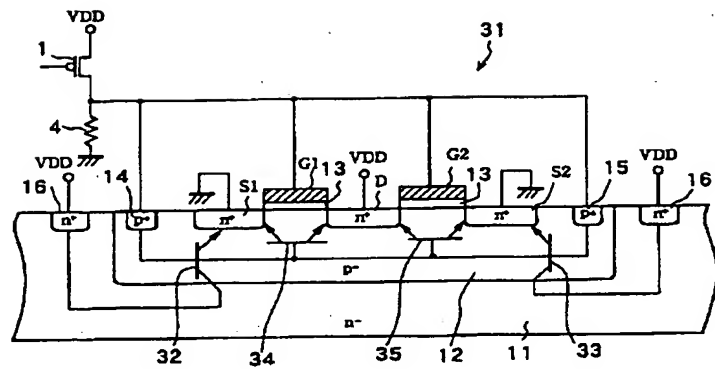
【図2】



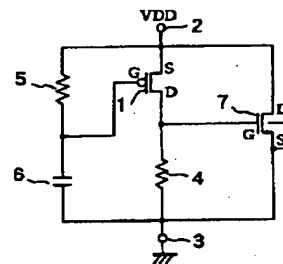
【図6】



【圖 4】



【図 7】

[illegible]